

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭63-79161

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)4月9日

G 06 F 15/16  
13/18  
15/16  
G 11 C 11/34

3 1 0  
3 2 0  
3 2 0

P-2116-5B  
C-7737-5B  
M-2116-5B  
K-8522-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-223585

⑰ 出 願 昭61(1986)9月24日

⑱ 発 明 者 井 上 善 弘 東京都小平市上水本町1479番地 日立マイクロコンピュー  
タエンジニアリング株式会社内

⑲ 出 願 人 日立マイクロコンピュ  
ータエンジニアリング  
株式会社  
東京都小平市上水本町1479番地

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 二つの信号経路によって少なくとも二つのプロセッサからそれぞれ任意にアクセス可能にされるデュアル・ポート・メモリ回路と、一方のプロセッサから上記デュアル・ポート・メモリ回路に対する書き込みにおいてセットされるワード致信報と上記一方のプロセッサからの書き込みワード致の計致信号から他方のプロセッサに対する割り込み信号を発生させるメイル・ボックス回路とを含むことを特徴とする半導体記憶装置。

2. 上記メイル・ボックス回路は、上記データの基準アドレスが記憶される第1のレジスタ、ワード致が記憶される第2のレジスタ及び上記ワード致を初期値としてワード単位の書き込み回致を計致するカウンタ回路とを含むものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、たとえば、二つの信号経路を介して二つのプロセッサから任意にアクセス可能なデュアル・ポート・RAM(ランダム・アクセス・メモリ)に利用して有効な技術に関するものである。

(従来の技術)

互いに非同期で動作するマルチプロセッサシステムにおいては、例えば第2図に示すように、マイクロプロセッサMPU<sub>a</sub>とMPU<sub>b</sub>とのデータ通信のために、これら二つのプロセッサの両方から任意にアクセス可能なデュアル・ポート・RAM(DP-RAM)が設けられる。このデュアル・ポート・RAMは、一方のプロセッサからの要求にもとづいて、他方のプロセッサに対して割り込みを発生させる機能を持つようにされる。

デュアル・ポート・RAMにおいて割り込みを発生させる例としては、例えば米国の特許第4,111,111号(インテグレイテッド・デバイス・テクノロジー・インコーポ

レイション (Integrated Device Technology Inc.) 社によって開発された方法がある。第3図は、同社から製品名「IDT7130S/IDT7130L CMOS DUAL PORT RAM 8K (1K×8BIT)」として市販されているデュアル・ポート・RAMにおける割り込み制御回路である。同図はそのデータブックに記載された機能に従って作成したものである。同図において、たとえばプロセッサMPUaによるプロセッサMPUbに対する割り込みは、プロセッサMPUaがデュアル・ポート・RAMのアドレス「3FF」(16進表示。以下同じ)に書き込み動作を行うことによって発生される。すなわち、デュアル・ポート・RAMの制御回路CTLは、両プロセッサMPUa、MPUbから供給されるアドレス信号をモニターしており、プロセッサMPUaがメモリ回路RAMのアドレス「3FF」に割り込み原因等のステータスを書き込むと、信号waを形成する。これにより、割り込み表示用のフリップフロップFFbがセットされ、プロセッサM

PUbに対して割り込み要求信号IRQbが出力される。プロセッサMPUbが割り込み要求を受け付けると、プロセッサMPUbはアドレス「3FF」の割り込みステータスの読み出しを行う。制御回路CTLは、これにより信号rbを形成し、割り込み表示用フリップフロップFFbをリセットする。このような動作は、プロセッサMPUbによるプロセッサMPUaに対する割り込みにおいても、アドレス「3FE」を介して同様に行われる。

(発明が解決しようとする問題点)

上記のような割り込み発生方法においては、他方のプロセッサに対して割り込みをかけるために、特定のアドレスに対してステータスを書き込む必要がある。このため、ソフトウェアの負担が増加して、システムのスループットが低下してしまう。

この発明の目的は、伝送すべきデータの書き込みの終了とともに自動的に割り込み信号を発生させる機能を持つ半導体記憶装置を提供することにある。

ある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

(問題点を解決するための手段)

本題において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、二つのプロセッサからそれぞれ任意にアクセス可能にされるデュアル・ポート・メモリ回路に、一方のプロセッサから上記デュアル・ポート・メモリ回路に対する書き込みにおいてセットされるワード数情報と上記一方のプロセッサからの書き込みワード数の計数信号から他方のプロセッサに対する割り込み信号を発生させるマイル・ボックス回路を付加するものである。

(作用)

上記した手段によれば、一方のプロセッサからの伝えるべきデータの書き込みの終了とともに他方のプロセッサに対する割り込み信号を発生させることにより、割り込み信号を発生させるための

ソフトウェアの負担が軽くなるとともに、スループットの向上を図ることができる。

(実施例)

第1図には、この発明が適用されたデュアル・ポート・RAMの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、たとえば単結晶シリコンのような一個の半導体基板上において形成される。

この実施例におけるデュアル・ポート・RAMは、左右二つのバス(信号経路)を介して、二つのマイクロプロセッサMPUaおよびMPUbに接続される。このデュアル・ポート・RAMにおけるメモリ回路は、次のメモリアレイム-ARYを持つ。メモリアレイム-ARYの各メモリセルは、それぞれ2本づつのワード線およびデータ線に結合される。したがって、両プロセッサによって、同時に同一アドレスがアクセスされる場合を除き、二つのバスを介して別々の任意のメモリアクセスを行うことができる。このため、このよう

なデュアル・ポート・RAMは、マルチプロセッサシステム等において、二つのマイクロプロセッサ間のデータ授受等に用いることができる。

上記メモリアレイム-ARYには、各プロセッサMPU<sub>a</sub>、MPU<sub>b</sub>に対応して、2組のアドレスデコードおよびカラムスイッチが設けられる。すなわち、一方のマイクロプロセッサMPU<sub>a</sub>から供給されるXアドレス信号AX<sub>a</sub>は図示しないアドレスバッファを介してXデコードXDCRAの入力端子に結合される。このXデコードXDCRAは、上記アドレス信号AX<sub>a</sub>を解読して、メモリアレイム-ARYの対応する1つのワード線の選択信号を形成する。他方のマイクロプロセッサMPU<sub>b</sub>から供給されるXアドレス信号AX<sub>b</sub>は図示しないアドレスバッファを介してXデコードXD CRBの入力端子に結合される。このXデコードXD CRBは、上記アドレス信号AX<sub>b</sub>を解読して、メモリアレイム-ARYの対応する他の1つのワード線の選択信号を形成する。

同様に、メモリアレイム-ARYの一方のデー

タ線が結合されるカラムスイッチCWAの選択端子は、マイクロプロセッサMPU<sub>a</sub>からのYアドレス信号AY<sub>a</sub>をデコードするYデコードYDCRAの出力端子に結合され、他方のデータ線が結合されるカラムスイッチCWBの選択端子は、マイクロプロセッサMPU<sub>b</sub>からのYアドレス信号AY<sub>b</sub>をデコードするYデコードYDCRBの出力端子に結合される。

カラムスイッチCWAは、Yアドレス信号AY<sub>a</sub>により指定されるメモリアレイム-ARYのデータ線を共通データ線対に接続させる。共通データ線は、データバッファDBAを介して外部のデータバスDaに接続される。データバッファDBAは、読み出しモードならメモリアレイム-ARYの選択されたメモリセルからの読み出しデータをデータバスDaに送出し、書き込み動作ならデータバスDaを介して供給される書き込みデータをメモリアレイム-ARYの選択されたメモリセルに伝える。

このようなメモリアレイム-ARYの周辺回路

の動作は、マイクロプロセッサMPU<sub>b</sub>に対応して設けられるXデコードXD CRB、YデコードYDCRB、カラムスイッチCWB及びデータバッファDBBについても同様に行われる。

制御回路CTLは、それぞれのマイクロプロセッサMPU<sub>a</sub>、MPU<sub>b</sub>から供給されるチップ選択信号CSA、CSB、ライトイネーブル信号WEA、WEBに基づいて各種の内部タイミング信号を形成し各回路に供給する。また、特に制限されないが、アドレス信号をモニターし、両方のマイクロプロセッサが同時に、同一のアドレスをアクセスした時の順位決定する順位決定回路を持つ。このような順位決定回路の他、常に一方のマイクロプロセッサMPU<sub>a</sub>又はMPU<sub>b</sub>が選択的に上記メモリ回路をアクセスするようなアビトレーション回路を設けるものであってもよい。

さらに、この実施例では、データを伝えるべき相手方のマイクロプロセッサに対して割り込み信号を自動的に発生すること、及び伝えるべきデータの格納エリアを知らせるメイル・ボックスBO

Xが設けられる。

このメイル・ボックスBOXは、特に制限されないが、ワードカウンタWC、アドレスレジスタAR及びワードレジスタWRを持つ。上記アドレスレジスタARは、伝えるべきデータの基幹となるアドレス情報、例えば先頭アドレスが格納される。ワードレジスタWRには伝えるべき一連のデータを相成するワード数が格納される。上記ワードカウンタWCは、例えばダウンカウンタ回路からなり、上記ワードレジスタWRに格納されたワード数を初期値として、書き込み回数、言い換えるならば、ライトストروب信号としてのライトイネーブル信号WE<sub>a</sub>又はWE<sub>b</sub>を計数することによって書き込みワード数の計数を行う。そして、ワードカウンタWCは予め設定された上記ワード数に相当するワード数の書き込みが行われたこと、言い換えるならば、その計数値が零になると割り込み信号IRQ<sub>a</sub>又はIRQ<sub>b</sub>を発生する。

この実施例の動作を次に説明する。

例えば、マイクロプロセッサMPU<sub>a</sub>からマイ

クロプロセッサMPU<sub>b</sub>に対してデータを伝達させる場合、マイクロプロセッサMPU<sub>a</sub>はチップ選択信号CS<sub>a</sub>をロウレベルにしてデュアル・ポート・RAMに対するアクセスを行う。そして、伝えるべきデータを格納するメモリエリアの先頭アドレスをアドレスレジスタARに、そのワード数をワードレジスタWRに伝える。このとき、ワードカウンタWCには上記ワード数が初期値として取り込まれる。この後、マイクロプロセッサMPU<sub>a</sub>はメモリアレイM-ARYに対して上記先頭アドレスから上記ワード数に従ったデータの一連の書き込み動作を開始する。これと並行して制御回路CTLのメール・ボックスBOXにおけるワードカウンタWCは、単位(1ワード)の書き込み毎にロウレベルにされるライトイネーブル信号WE<sub>a</sub>の計数動作を開始する。上記一連の書き込み動作の終了とともに、上記ワードカウンタWCの計数値が零にされるので、この計数結果からマイクロプロセッサMPU<sub>b</sub>に対する割り込み信号IRQ<sub>b</sub>が自動的に送出される。この割り込み

の書き込み動作を開始する。これと並行して制御回路CTLのメール・ボックスBOXにおけるワードカウンタWCは、単位(1ワード)の書き込み毎にロウレベルにされるライトイネーブル信号WE<sub>b</sub>の計数動作を開始する。上記一連の書き込み動作の終了とともに、上記ワードカウンタWCの計数値が零にされるので、この計数結果からマイクロプロセッサMPU<sub>a</sub>に対する割り込み信号IRQ<sub>a</sub>が自動的に送出される。この割り込み信号IRQ<sub>a</sub>により、マイクロプロセッサMPU<sub>a</sub>が割り込み処理に入り、プロセッサMPU<sub>b</sub>は上記メール・ボックスBOXのアドレスレジスタAR及びワードレジスタWRの読み出し動作を行う。これにより、マイクロプロセッサMPU<sub>b</sub>は、上記アドレスレジスタARに格納された先頭アドレスからワードレジスタWRに格納されたワード数のデータの読み出しを開始する。

上記のように一方のマイクロプロセッサから伝達すべきデータの書き込みが終了すると、ハードウェアにより自動的に他方のマイクロプロセッサ

信号IRQ<sub>b</sub>により、マイクロプロセッサMPU<sub>b</sub>が割り込み処理に入ると、プロセッサMPU<sub>b</sub>は上記メール・ボックスBOXのアドレスレジスタAR及びワードレジスタWRの読み出し動作を行う。これにより、マイクロプロセッサMPU<sub>b</sub>は、上記アドレスレジスタARに格納された先頭アドレスからワードレジスタWRに格納されたワード数のデータの読み出しを開始する。

逆に、マイクロプロセッサMPU<sub>b</sub>からマイクロプロセッサMPU<sub>a</sub>に対してデータを伝達させる場合、マイクロプロセッサMPU<sub>b</sub>はチップ選択信号CS<sub>b</sub>をロウレベルにしてデュアル・ポート・RAMに対するアクセスを行う。そして、伝えるべきデータを格納するメモリエリアの先頭アドレスをアドレスレジスタARに、そのワード数をワードレジスタWRに伝える。このとき、ワードカウンタWCには上記ワード数が初期値として取り込まれる。この後、マイクロプロセッサMPU<sub>b</sub>はメモリアレイM-ARYに対して上記先頭アドレスから上記ワード数に従ったデータの一連

に対する割り込み信号が自動的に発生できるため、特別の割り込み信号を発生するためのメモリアクセスを省略できる。これによって、ソフトウェアの負担の軽減化及びシステムのスループットの向上を図ることができる。

なお、データの伝達方向を区別するため、メール・ボックスBOXには、独立したレジスタ又は上記各レジスタに信号の伝達方向を示すビットが設けられる。これらのフラグに基づいて上記割り込み信号IRQ<sub>a</sub>又はIRQ<sub>b</sub>が選択的に発生される。また、メール・ボックスBOXは、上記一方のマイクロプロセッサから伝えるべき信号が他方のマイクロプロセッサによって読み出されたことを識別するためのレジスタ又は情報ビットを設けることが望ましい。このような機能を付加することによって、伝達されないメモリエリアに対して誤って別のデータが書き込まれてしまうことを防止することができる。

上記実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 一方のプロセッサからメモリ回路に対する書き込みにおいてセットされるワード数情報と上記一方のプロセッサによる書き込みワード数の計数信号から他方のプロセッサに対する割り込み信号を発生させる回路を付加することにより、一方のプロセッサからの伝えるべきデータの書き込み終了とともに他方のプロセッサに対する割り込み信号を自動的に発生させることができる。これによって、割り込み信号を発生させるためのソフトウェアの負担が軽減されるとともにシステムのスループットの向上を図ることができるという効果が得られる。

(2) 伝えるべきデータを基準となる先頭アドレスとワード数により定義することにより、メモリアレイのアドレス空間を効率的に利用することができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでも

ない。例えば、マイルボックスは、それぞれのマイクロプロセッサに対応して設けるものとしてもよい。また、マイル・ボックスとしては、複数組のワードレジスタ、アドレスレジスタ及びワードカウンタを設け、複数の割り込み信号を発生させるものであってもよい。このような複数種類の割り込み信号を発生させる場合、その緊急度に応じて選択的にマスクをかける機能を設けることが望ましい。また、割り込み信号を発生させる回路は、書き込みワード数を計数するアップカウンタと、上記ワードレジスタの情報を比較するコンパレータにより形成するものであってもよい。

また、Xアドレス信号およびYアドレス信号はマルチプレクス方式によって、共通の信号線によって供給される方式としてもよい。さらに、アドレス信号とデータ信号とをマルチプレクス方式により伝達させるものであってもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマルチプロセッサシステムにおけるデュアル・ポート

・RAMに適用した場合について説明したが、それに限定されるものではなく、たとえば、ホストコンピュータとプロセッサを有するインテリジェント端末装置との間に設けられるデュアル・ポート・RAMなどにも適用できる。本発明は、少なくとも二つのプロセッサの間に設けられるデュアル・ポート・RAMの割り込み制御に適用できるものである。

#### (発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、二つのプロセッサからそれぞれ任意にアクセス可能にされるデュアル・ポート・メモリ回路に、一方のプロセッサから上記メモリ回路に対する書き込みにおいてセットされるワード数情報と上記一方のプロセッサからの書き込みワード数の計数値から他方のプロセッサに対する割り込み信号を発生させる回路を付加することにより、一方のプロセッサからの伝えるべきデータの書き込みの終了とともに他方のプロ

セッサに対する割り込み信号を自動的に発生させることができるから、割り込み信号を発生させるためのソフトウェアの負担が軽減されるとともにシステムのスループットの向上が実現できる。

#### 4. 図面の簡単な説明

第1図は、この発明が適用されたデュアル・ポート・RAMの一実施例を示すブロック図、

第2図は、デュアル・ポート・RAMを含むマルチプロセッサシステムの構成図、

第3図は、従来のデュアル・ポート・RAMの制御回路の一例を示す回路図である。

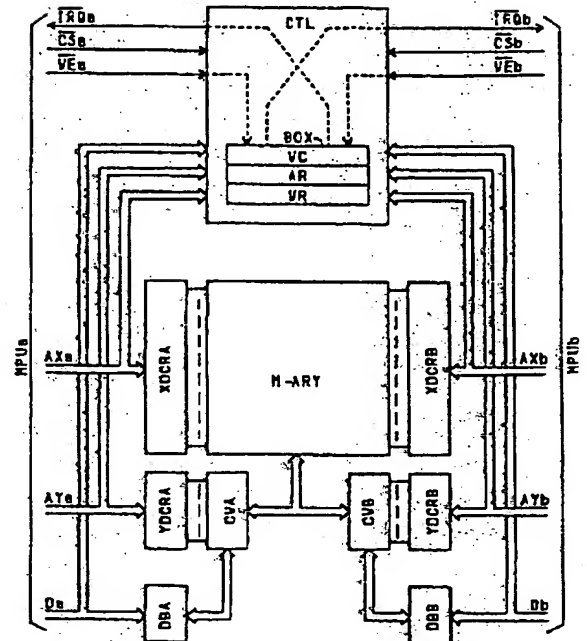
M-ARY・・・メモリアレイ、XDCRA、XDCRB・・・Xデコーダ、YDCRA、YDCRB・・・Yデコーダ、CWA、CWB・・・カラムスイッチ、DBA、DBB・・・データバッファ、CTL・・・制御回路、BOX・・・マイル・ボックス、WC・・・ワードカウンタ、AR・・・アドレスレジスタ、WR・・・ワードレジスタ、MPUa、MPUb・・・マイクロプロセッサ、DP-RAM・・・デュアル・ポート・RAM、FFa、FFb

・フリップフロップ回路、RAM・メモリ回  
路

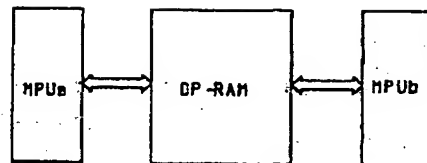
代理人弁理士 小川 勝男



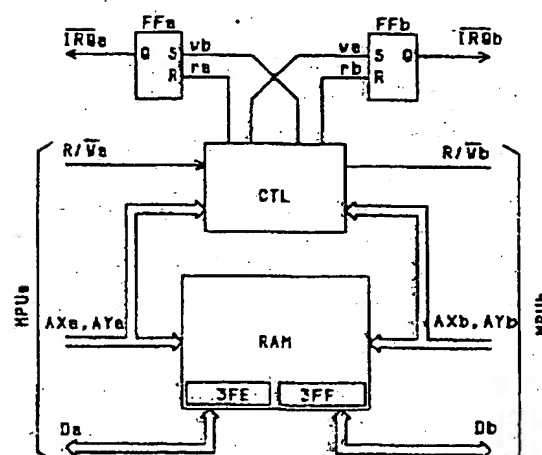
第 1 図



第 2 図



第 3 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**